



UNIVERSIDADE DO ESTADO DE MINAS GERAIS

Docente: Rildo Afonso de Almeida

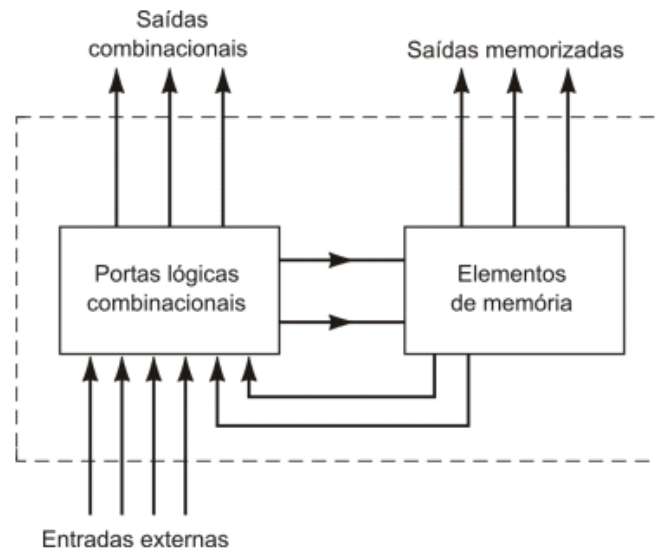
Circuitos Lógicos
Aula 11 – 02/10/23



Circuitos Seqüenciais: Latches e Flip-Flops

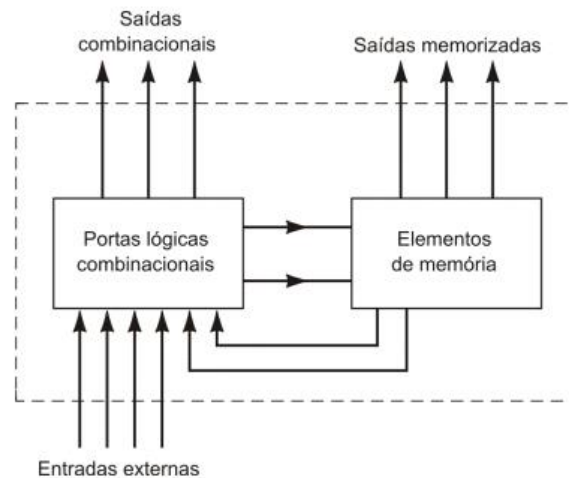
Circuitos Seqüenciais

- Nos circuitos combinacionais, uma dada saída do circuito é função única e exclusiva das suas entradas atuais.
- Nos circuitos seqüenciais, elas são também função da história passada do circuito. Isso ocorre em função do circuito seqüencial apresentar elementos com capacidade de armazenamento de informação.



Circuitos Seqüenciais

- o **Na parte combinacional:** recebe sinais externos e saídas dos elementos de memória
- o **No elemento de memória:** armazena entradas anteriores, onde o elemento de memória é o **flip-flop**.



Circuitos Seqüenciais

Exemplos:

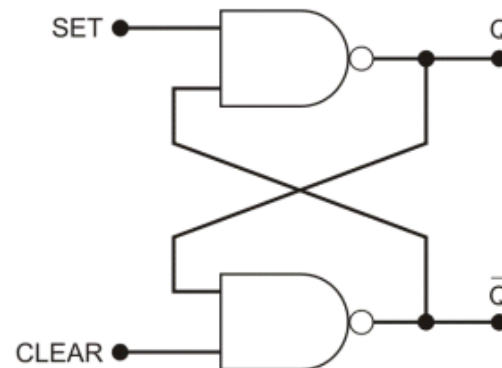
- o Combinacional: Cadeados com código. O cadeado será aberto se, num tempo t , o código específico é colocado nas entradas em t , desconsiderando o passado das entradas.
- o Seqüencial: Em um sistema de telefonia, uma chamada é concretizada se, num instante t , ocorrer a discagem do último número e os números discados anteriormente (passado), corresponderem a seqüência correta do número do usuário desejado. Por exemplo, se o número do telefone do assinante for 3434-1587, o último dígito discado deve ser o 7 e os anteriores devem ser discados na ordem 3, 4, 3, 4, 1 e 5.

Latch

- O latch é um dispositivo de armazenamento temporário que tem dois estados estáveis (biestável).
- Os latches são similares aos flip-flops porque são dispositivos biestáveis e que podem permanecer em um dos dois estados estáveis usando uma configuração de realimentação, na qual as saídas são ligadas as entradas opostas.
- A principal diferença entre os latches e flip-flops é o método usado para a mudança de estado.

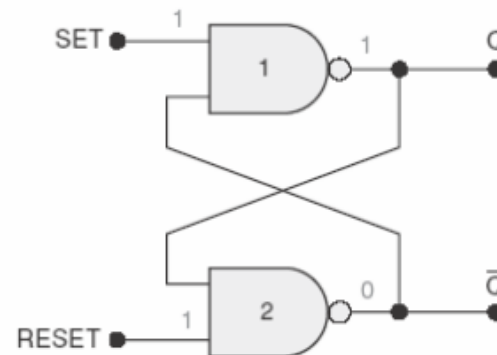
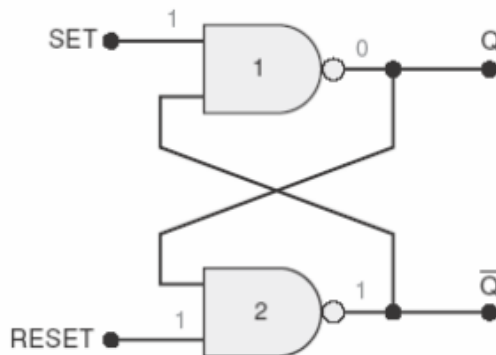
Latch R-S

- o As saídas das portas, em condições normais, estão sempre em níveis lógicos inversos. Existem duas entradas: **SET** é a que seta Q para o estado 1; a entrada **CLEAR** (ou RESET) é a que reseta Q para o estado 0.
- o As entradas estão normalmente em repouso no estado **ALTO**, e uma delas é pulsada em nível baixo sempre que se deseja alterar as saídas do latch.



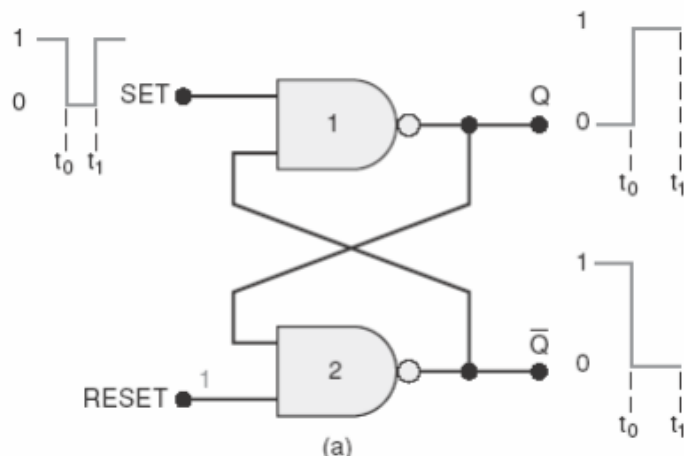
Latch R-S

- o As saídas das portas, em condições normais, estão sempre em níveis lógicos inversos. Existem duas entradas no latch: **SET** é a que seta Q para o estado 1; a entrada **RESET** é a que reseta Q para o estado 0.
- o As entradas estão normalmente em repouso no estado **ALTO**, e uma delas é pulsada em nível baixo sempre que se deseja alterar as saídas do latch.
- o Inicialmente, se **SET = RESET = 1**, pode-se levar a duas configurações.



Latch R-S

- Quando a entrada **SET** é momentaneamente pulsada em nível **BAIXO**, enquanto a entrada **RESET** é mantida em nível **ALTO**, há mudança nas saídas do latch. A figura abaixo demonstra essa mudança para uma das condições anteriormente vistas do latch.

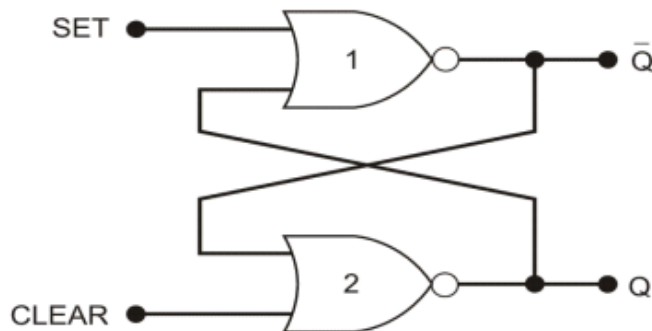


Set	Reset	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

*Produz $Q = \bar{Q} = 1$.

Latch R-S

- Duas portas NOR interligadas de modo cruzado podem ser usadas como um latch com portas NOR. Abaixo essa configuração é exibida, de forma similar à configuração do latch NAND, exceto pelo fato da mudança na tabela-verdade.
- Nesse caso, SET e CLEAR (RESET) são ativadas em nível ALTO.

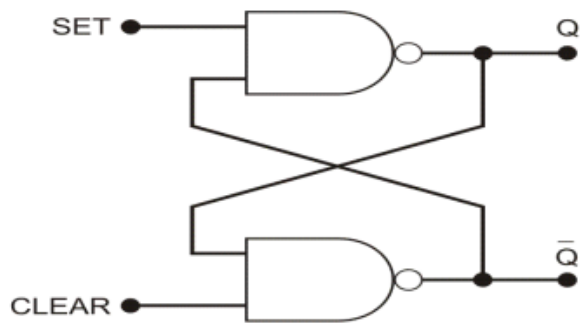


Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

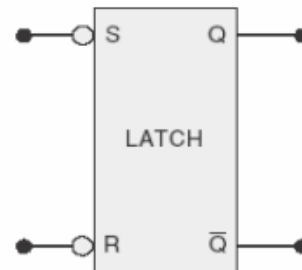
*Produz $Q = \bar{Q} = 0$.

Latch R-S

Latch com portas NAND



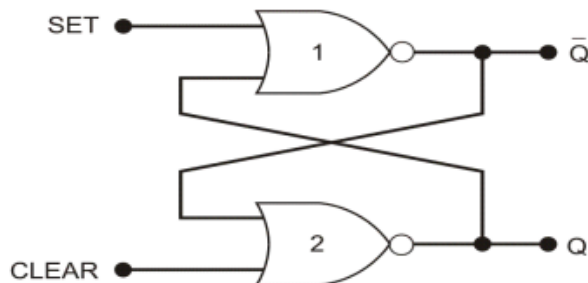
≡



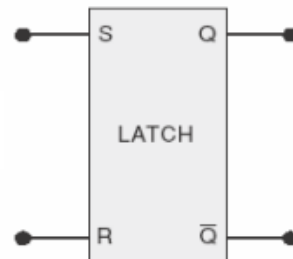
Set	Reset	Saída
1	1	Não muda
0	1	Q = 1
1	0	Q = 0
0	0	Inválida*

*Produz $Q = \bar{Q} = 1$.

Latch com portas NOR



≡



Set	Reset	Saída
0	0	Não muda
1	0	Q = 1
0	1	Q = 0
1	1	Inválida*

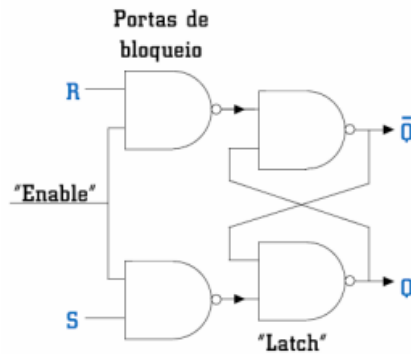
*Produz $Q = \bar{Q} = 0$.

Latch R-S Síncrono

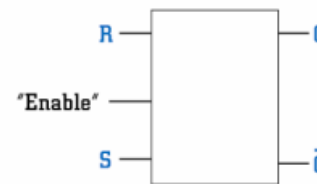
- Nos latches R-S anteriores, o usuário não tem controle sobre as entradas. Quando as informações R e S acessam o latch, elas são imediatamente processadas sem nenhum tipo de controle.
- Para obter algum controle, o circuito do latch pode ser modificado, introduzindo-se uma entrada com a função de habilitar (Enable) ou bloquear o latch.

Latch R-S Síncrono

(a) Latch R-S síncrono. (b) Símbolo. (c) Tabela de combinações.



(a)



(b)

Entradas			Saídas	
"Enable"	R	S	Q	\bar{Q}
0	X	X	Não muda	Não muda
1	0	0	Não muda	Não muda
1	0	1	1	0
1	1	0	0	1
1	1	1	1	1

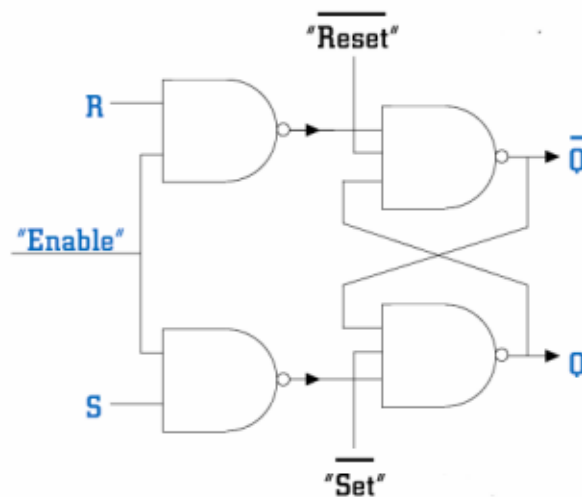
→ Bloqueio - "Latch"

→ Indeterminado

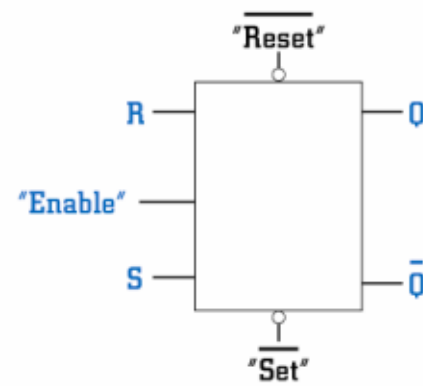
(c)

Latch R-S com entradas diretas

- o (a) Latch R-S com entradas diretas. (b) Símbolo.





(a)





(b)

Latch R-S com entradas diretas

Tabela de combinações

		Entradas			Saídas			
		"Enable"	"Set"	"Reset"	R	S	Q	\bar{Q}
Liberado		1	1	1	0	0	Não muda	
		1	1	1	0	1	1	0
		1	1	1	1	0	0	1
		1	1	1	1	1	1	1
Bloqueio		0		1	X	X	1	0
		0	1		X	X	0	1

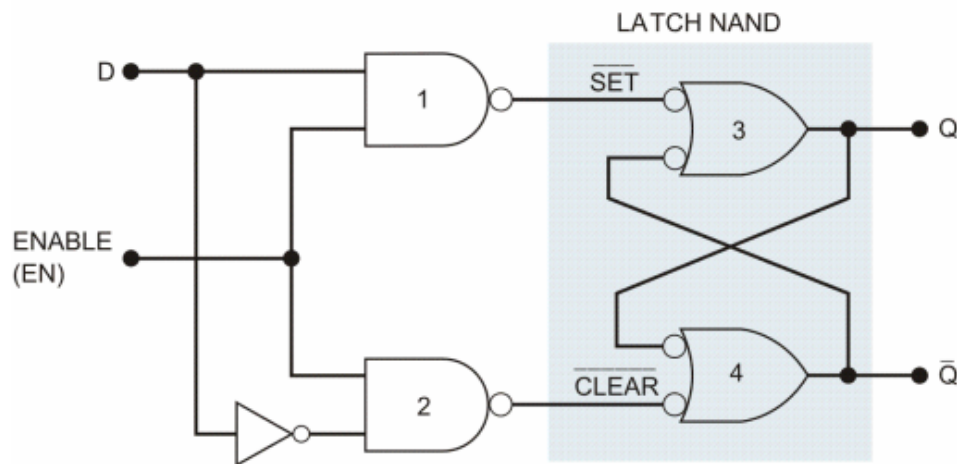
 "Set"
 "Reset"

Latch D

- O latch R-S síncrono não consegue evitar o estado de oscilação quando os atrasos de propagação forem iguais e ocorrer a transição de $R=S=1$ para $R=S=0$.
- Introduzindo um inversor entre as entradas R e S, as mesmas serão complementares, fazendo com que o circuito atue na região normal de operação.
- Tal circuito é conhecido com latch D (latch transparente).

Latch D

- A entrada comum das portas que implementam o circuito direcionador é denominada entrada de **habilitação (ENABLE)**.
- Se **EN = 1**, a saída **Q** será igual à entrada **D** (transparente).
- Se **EN = 0**, a saída **Q** não será modificada (guarda o último valor – memória).

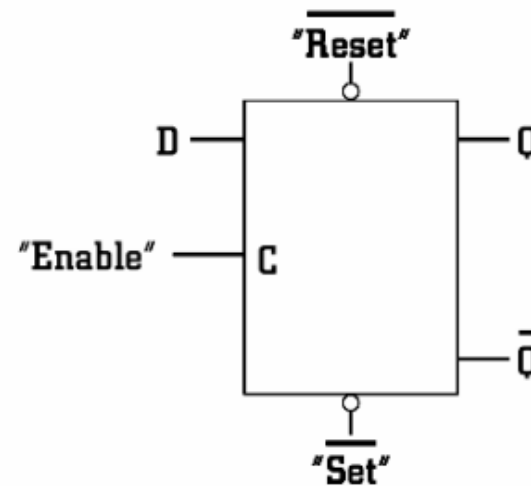


Latch D

(a) Tabela de combinações. (b) Símbolo.

"Enable"	D	Q
0	X	Não muda
1	1	1
1	0	0

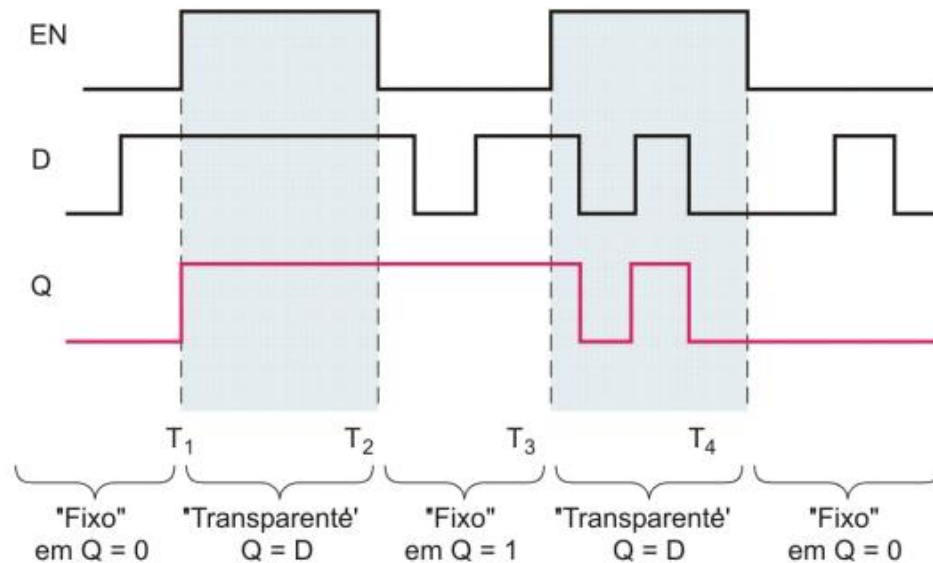
(a)



(b)

Latch D

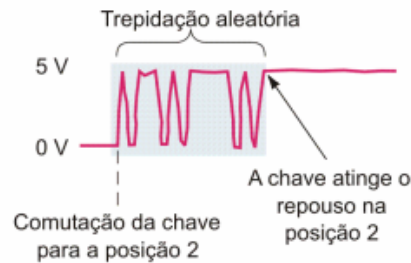
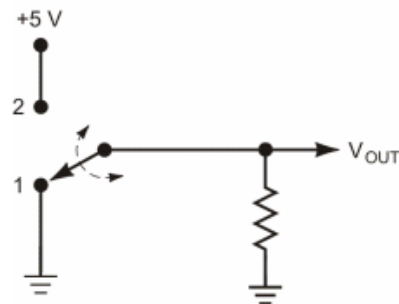
Exemplo do comportamento de um latch D para as formas de onda dadas:



Latch – Aplicação

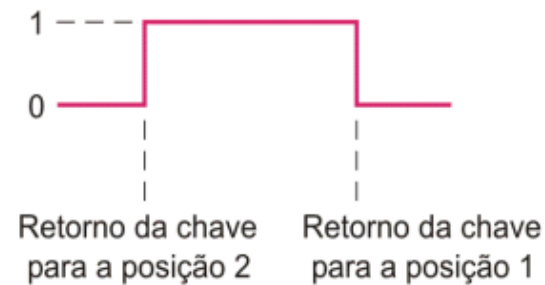
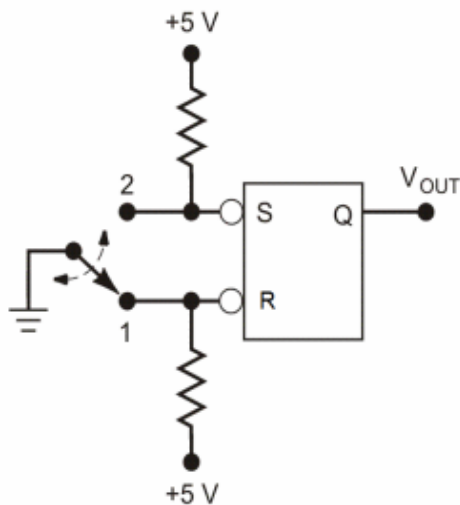
Exemplo:

- O fenômeno conhecido como trepidação de contato (“contact bounce”) torna praticamente impossível obter uma transição de tensão “limpa” com uma chave mecânica.
- As múltiplas transições no sinal de saída geralmente não duram mais do que alguns poucos milissegundos, mas podem ser inaceitáveis em algumas aplicações.



Latch – Aplicação

- o Para evitar que a trepidação de contato afete a saída pode-se usar um latch NAND.



Flip-Flops

- Latches controlados D e RS são ativados ou controlados pelo nível lógico do sinal de controle.
- Isso significa que, enquanto o sinal de controle estiver ativando o latch, eventuais variações das entradas D ou R e S serão percebidas pelo latch e este poderá mudar de estado.
- Essa característica é particularmente imprópria para a construção de circuitos seqüenciais síncronos, uma vez que em tais circuitos qualquer troca de estado deve ocorrer de maneira sincronizada com o sinal de relógio.

Flip-Flops

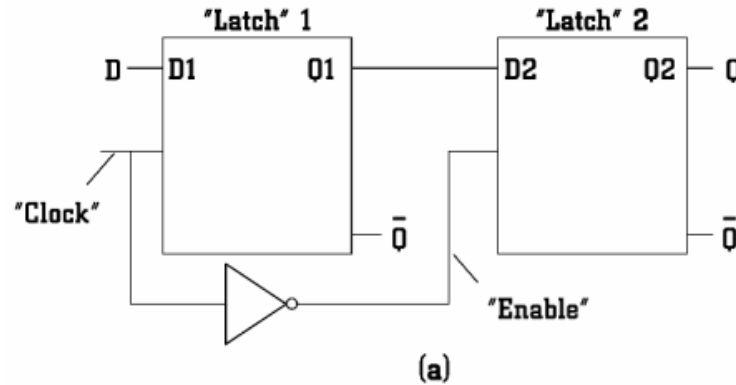
- Os **flip-flops** são circuitos derivados dos latches, porém ativados pela transição do sinal de controle (borda).
- Isso faz com que um flip-flop permaneça ativado apenas durante um intervalo de tempo muito pequeno, após a ocorrência de uma transição do sinal de controle.
- Nesse caso, uma eventual troca de estado só pode ocorrer durante esse breve intervalo de tempo em que o flip-flop está ativado.
- Entre duas transições sucessivas do mesmo tipo (ou subida ou descida) do sinal de controle, o flip-flop mantém o último estado adquirido.

Flip-Flops

- o Dependendo de sua construção, um flip-flop pode ser disparado pela transição de subida ou pela transição de descida do sinal de controle.
- o Nesse caso, pode-se dizer que flip-flops são disparados pela borda (subida ou descida), enquanto que latches são sensíveis ao nível lógico (alto ou baixo).

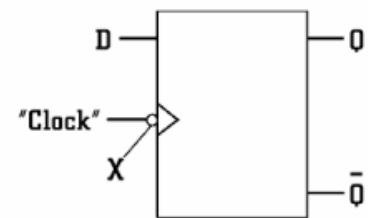
Flip-Flop D

- o (a) Flip-Flop D. (b) Tabela de combinações. (c) Símbolo.



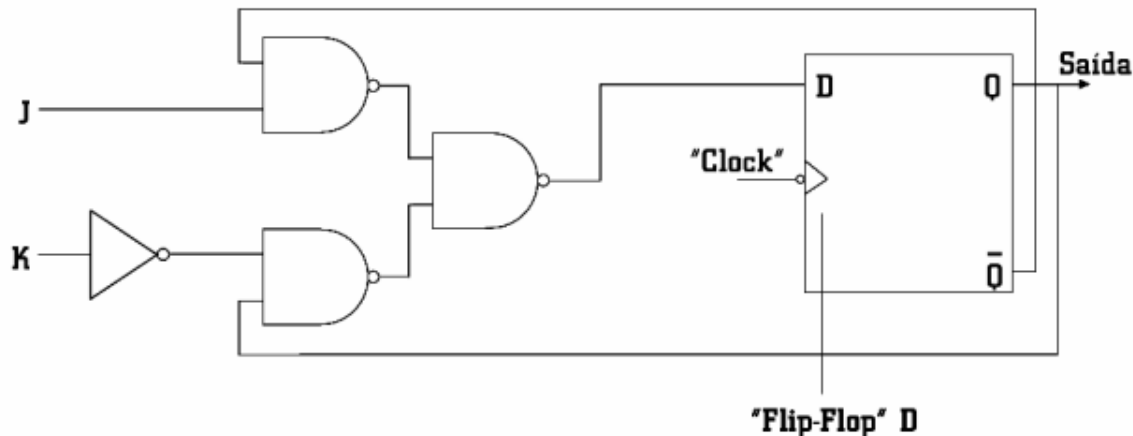
"Clock"	D	Q
↓	1	1
↓	0	0
1	X	Não muda
0	X	Não muda

(b)



Flip-Flop J-K (edge-triggered)

- O flip-flop J-K gatilhado na transição de sinal clock (edge-triggered) é um dos mais importantes circuitos seqüenciais básicos.

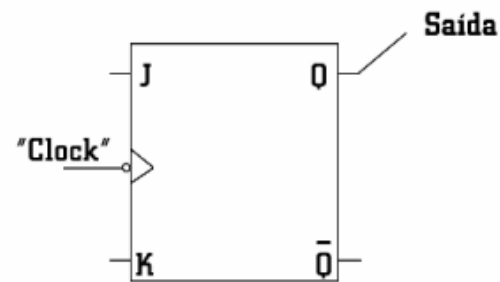


Flip-Flop J-K (edge-triggered)

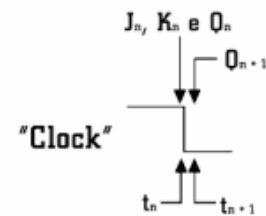
(a) Tabela de combinações. (b) Símbolo. (c) Entradas na transição. (d) Diagramas no tempo.

Entradas		Saídas	
J_n	K_n	Q_{n+1}	
0	0	Q_n	← Não muda
0	1	0	
1	0	1	
1	1	\bar{Q}_n	← Complementa

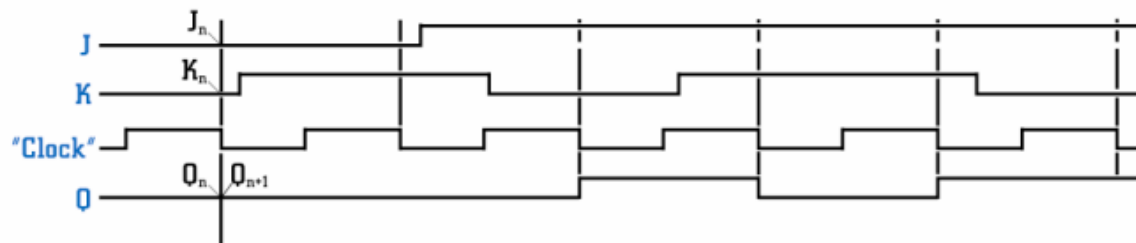
(a)



(b)



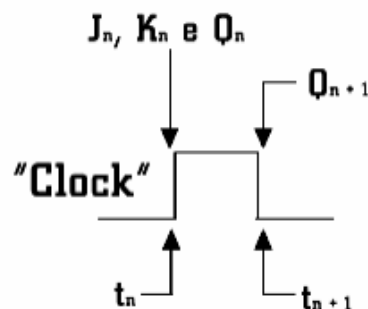
(c)



(d)

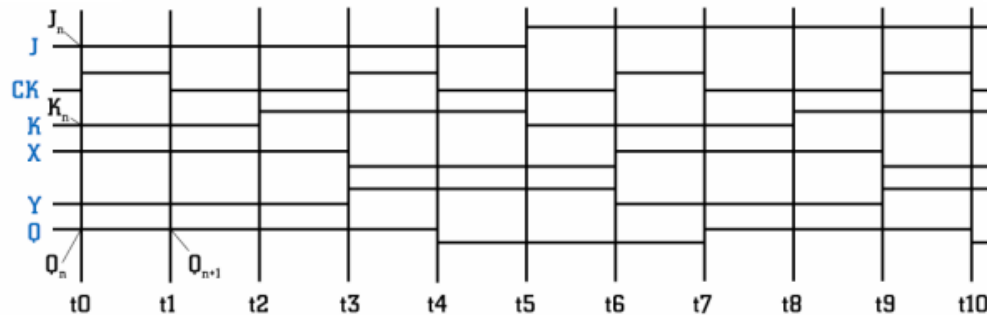
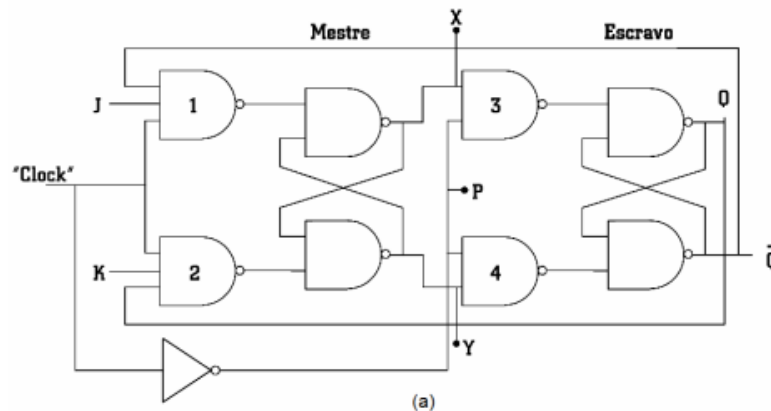
Flip-Flop J-K (master-slave)

- Esse circuito é formado por dois latches, denominados mestre (master) e escravo (slave).
- Possui a mesma tabela de combinações que o flip-flop J-K (edge-triggered), mas com convenções de tempos t_n e t_{n+1} diferentes.
- J_n , K_n e Q_n correspondem aos valores de J, K e Q no tempo imediatamente anterior a subida do pulso, enquanto Q_{n+1} corresponde a saída no tempo posterior a descida do pulso.



Flip-Flop J-K (master-slave)

(a) Flip-Flop J-K (master-slave). (b) Diagramas no tempo

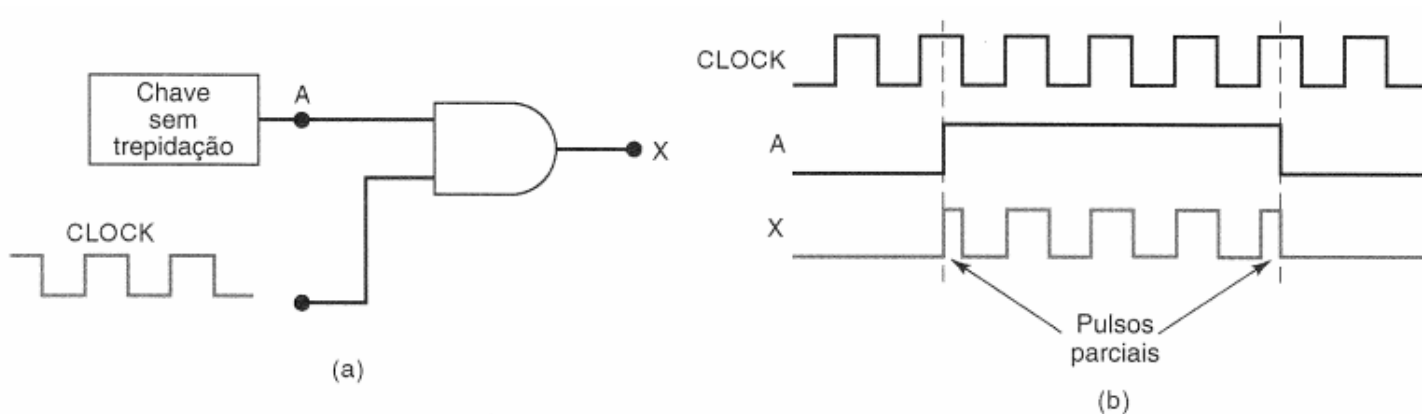


(b)

Flip-Flops: Aplicações

- o **Sincronização usando Flip-Flops:**

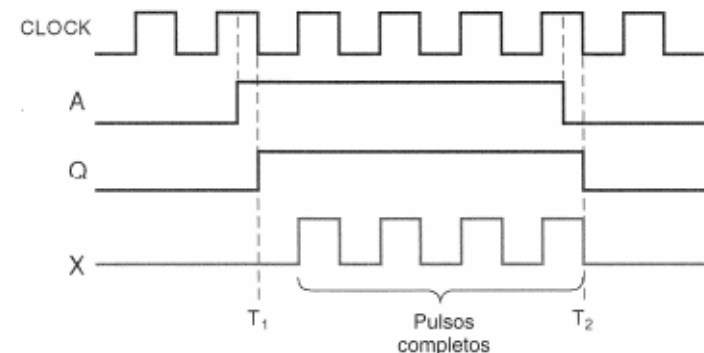
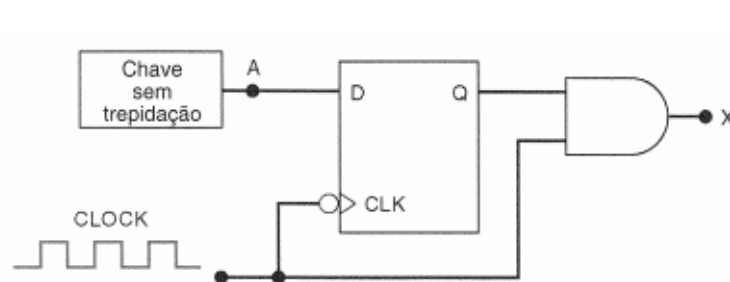
O sinal assíncrono **A** pode produzir pulsos parciais em **X**.



Flip-Flops: Aplicações

o Sincronização usando Flip-Flops:

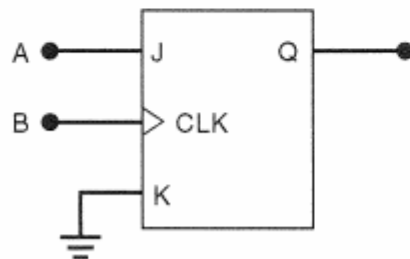
Um flip-flop D disparado por transição negativa é usado para sincronizar a habilitação da porta AND com a descida do *clock*.



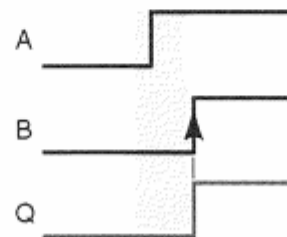
Flip-Flops: Aplicações

o Detecção de uma Sequência de Entrada:

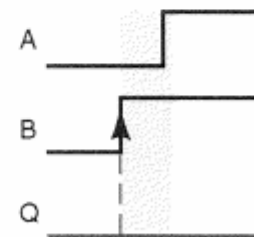
Um flip-flop JK é usado para responder a uma determinada sequência de entrada.



(a)



(b) A vai para ALTO antes de B



(c) B vai para ALTO antes de A



Bibliografia Básica

1-TOCCI, R. J.; Widmer, N. S.; Moss, G. L. **Sistemas digitais: princípios e aplicações**. 12ª ed. Pearson, São Paulo, 2019.

2-HAUPT, A.; Dachi, E. **Eletrônica digital**. Editora Blucher, São Paulo, 2016.

3-IDOETA, I. V.; CAPUANO, F. G. **Elementos de eletrônica digital**. 34ª Ed. Érica, São Paulo, 2002.



Bibliografia Complementar

1-TAUB, H. **Circuitos digitais e microprocessadores**. McGraw Hill do Brasil, São Paulo, 1984.

2-BIGNEEL, J. W.;DONOVAN, R. L. **Eletrônica digital**. Makron Books, 2 V, São Paulo, 1988.

3-MALVINO, A. P.;LEACH, D. P. **Eletrônica digital – princípio e aplicações**. McGraw Hill, 1 V, São Paulo, 1988.

4-MELO, M. **Eletrônica digital**. São Paulo: Makron Books, 1993.

5-MENDONCA, A. **Eletrônica digital: curso prático e exercícios**. Rio de Janeiro: MZ, 2004.